

(1) Japanese Patent Application Laid-Open No. 10-65153 (1998)

“Semiconductor Device and Method of Manufacturing the Same”

The following is an extract relevant to relevant to the present invention:

5

It is an object of this invention to provide a semiconductor device which includes an isolation film formed by a shallow trench isolation process, and provides for reduction in a leakage current in a portion around a source-drain junction, and to provide a method of manufacturing such semiconductor device.

10

To attain the foregoing object, a semiconductor device includes: a semiconductor substrate 10; an isolation film 12 embedded in the semiconductor substrate 10; an MIS transistor formed in an active region of the semiconductor substrate 10, which is defined by the isolation film 12; and a heavily doped impurity layer 24 of the same conductivity type as a channel region of the MIS transistor,

15

which is shallower than a source-drain junction of the MIS transistor and is doped more heavily than the channel region.

(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平10-65153

(43)公開日 平成10年(1998)3月6日

(51)Int.Cl.⁶

識別記号

F I

H01L 29/78
21/265
21/76H01L 29/78
21/265
21/76301 R
V
S

審査請求 未請求 請求項の数 7 O L (全10頁)

(21)出願番号

特願平8-215652

(22)出願日

平成8年(1996)8月15日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72)発明者 児島 学

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74)代理人 弁理士 北野 好人

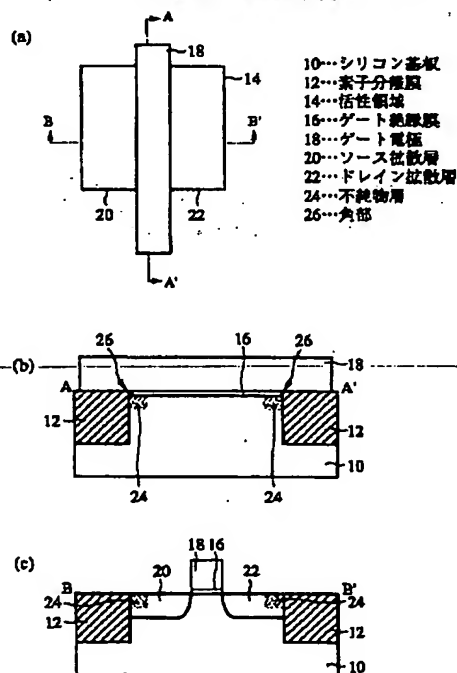
(54)【発明の名称】半導体装置及びその製造方法

(57)【要約】

【課題】 シャロートレンチ法により形成した素子分離膜を有する半導体装置において、ソース/ドレイン接合の周辺部におけるリーク電流を低減しうる半導体装置及びその製造方法を提供する。

【解決手段】 半導体基板10と、半導体基板10に埋め込んで形成された素子分離膜12と、素子分離膜12により画定された半導体基板10の活性領域14に形成されたMISトランジスタと、活性領域14の周縁部に形成され、MISトランジスタのソース/ドレイン接合より浅く、MISトランジスタのチャネル領域と同一導電型であり、チャネル領域より高濃度の不純物層24とにより半導体装置を構成する。

本発明の第1実施形態による半導体装置の構造を示す
平面図及び縦断面図



【特許請求の範囲】

【請求項 1】 半導体基板と、

前記半導体基板に埋め込んで形成された素子分離膜と、
前記素子分離膜により画定された前記半導体基板の活性領域に形成された M I S トランジスタと、
前記活性領域の周縁部に形成され、前記 M I S トランジスタのソース／ドレイン接合より浅く、前記 M I S トランジスタのチャネル領域と同一導電型であり、前記チャネル領域より高濃度の不純物層とを有することを特徴とする半導体装置。

【請求項 2】 半導体基板の主表面に、素子を形成するための活性領域を画定する溝を形成する溝形成工程と、前記半導体基板上に絶縁膜を堆積した後にその表面を研磨し、前記溝内に埋め込まれた素子分離膜を形成する素子分離膜形成工程と、前記活性領域に M I S トランジスタを形成する M I S トランジスタ形成工程とを有する半導体装置の製造方法において、
前記溝形成工程の後、前記 M I S トランジスタ形成工程の前に、少なくとも前記 M I S トランジスタのソース／ドレイン接合が形成される領域の前記溝の側壁、及び前記活性領域上を覆った状態で不純物をドーブし、前記活性領域の周縁部に、前記ソース／ドレイン接合より浅く、前記 M I S トランジスタのチャネル領域と同一導電型であり、前記チャネル領域より高濃度の不純物層を形成する不純物層形成工程を更に有することを特徴とする半導体装置の製造方法。

【請求項 3】 請求項 2 記載の半導体装置の製造方法において、
前記溝形成工程では、前記半導体基板上に形成したマスク膜をマスクとして前記半導体基板をエッチングし、
前記不純物層形成工程は、前記素子分離膜形成工程の後に行い、前記マスク膜及び前記素子分離膜をマスクとして前記不純物をドーブすることを特徴とする半導体装置の製造方法。

【請求項 4】 請求項 3 記載の半導体装置の製造方法において、
前記不純物層形成工程の前に、前記素子分離膜の表面をエッチングして前記マスク膜の表面より後退させるエッチング工程を更に有することを特徴とする半導体装置の製造方法。

【請求項 5】 請求項 2 記載の半導体装置の製造方法において、
前記溝形成工程の後、前記溝の側壁にサイドウォールを形成するサイドウォール形成工程を更に有し、
前記溝形成工程では、前記半導体基板上に形成したマスク膜をマスクとして前記半導体基板をエッチングし、
前記不純物層形成工程は、前記素子分離膜形成工程の前に行い、前記マスク膜及び前記サイドウォールをマスクとして前記不純物をドーブすることを特徴とする半導体装置の製造方法。

【請求項 6】 請求項 3 乃至 5 のいずれかに記載の半導体装置の製造方法において、
前記不純物層形成工程では、前記不純物の入射角度を所定の角度に設定し、前記半導体基板を回転しながら前記不純物をイオン注入することを特徴とする半導体装置の製造方法。

【請求項 7】 請求項 3 乃至 5 のいずれかに記載の半導体装置の製造方法において、
前記不純物層形成工程では、前記不純物の入射角度を所定の角度に設定し、入射方向の異なる複数回の注入によって前記不純物をイオン注入することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、素子分離技術に係り、特に、シャロートレンチ法を用いた半導体装置及びその製造方法に関する。

【0002】

【従来の技術】近年の半導体装置の製造技術の進歩により、サブミクロンからクォータミクロンの製品が製造されようとしている。今後、さらに 0.2 ミクロン以下の加工技術を使用した L S I の製品化が期待されている。このような高集積の半導体装置を実現するためには、素子自体の微細化のみならず、素子と素子とを分離する素子分離手段をも微細化する必要がある。

【0003】従来より、素子分離技術としては製造工程の簡便さ等から L O C O S (L O C a l O x i d a t i o n o f S i l i c o n) 法が広く用いられてきた。しかし、L O C O S 法は、いわゆるパズピークにより活性領域が小さくなるという問題があり、素子を微細化するうえでは好ましくなかった。活性領域を犠牲にすることなく分離が可能な素子分離方法として、基板を掘って形成した溝に絶縁膜を充填するシャロートレンチ法が提案されており、L O C O S 法に置き換わる素子分離手段として期待されている。シャロートレンチ法は、活性領域が小さくなることもなく、また、深さを分離幅と独立に設定できるので、分離幅を縮小しても分離特性を維持することができる。

【0004】素子分離手段としてシャロートレンチ法を用いた従来の半導体装置を、図 6 を用いて説明する。図

6 (a) は従来の半導体装置の構造を示す平面図、図 6 (b) は (a) 図の A - A' 部の概略断面図、図 6 (c) は (a) 図の B - B' 部の概略断面図である。シリコン基板 10 上にはシャロートレンチ法により形成した素子分離膜 12 が形成されており、素子分離膜 12 によって活性領域 14 が画定されている。素子領域 14 上には、ゲート絶縁膜 16 を介してゲート電極 18 が形成されている。ゲート電極 18 の両側の素子領域 14 には、ソース拡散層 20、ドレイン拡散層 22 が独立して形成されている。こうして、活性領域 14 に M O S トランジスタが形成されている。素子分離膜 14 側壁に接す

る領域のシリコン基板 10 には、逆狭チャネル効果を防止するための不純物層 24 が形成されている。

【0005】シャロートレンチ法を用いた素子分離では、図 6 (b) に示すように活性領域 14 の周囲に角部 26 が存在する。角部 26 では、直上のゲート電極 18 からの電界の他に周辺からの電界の回り込みの影響を受けるため、ゲート電極 18 直下の電界はチャネル中央部 28 よりも角部 26 の方が強くなる。このため、角部 26 における閾値電圧がチャネル中央部 28 よりも低くなり、結果として MOS トランジスタの閾値電圧自体が低下することになる。角部 26 におけるこのような電界効果は、チャネル幅が狭いほどに閾値電圧が増加するいわゆる狭チャネル効果とは逆に、チャネル幅が狭いほどに増加することから、逆狭チャネル効果と呼ばれている。

【0006】そこで、シャロートレンチ法を用いた素子分離を用いた場合、素子分離膜 14 側壁に接する領域のシリコン基板 10 に、逆狭チャネル効果を防止するための不純物層 24 を形成し、角部 26 における閾値電圧を高め、逆狭チャネル効果を抑制していた。シャロートレンチ法を用いた MOS トランジスタは、例えば図 7 に示す方法により製造されていた。

【0007】まず、シリコン基板 10 上に、シリコン窒化膜 30、シリコン酸化膜 32 を連続して成膜する。次いで、活性領域 14 となる領域にのみシリコン窒化膜 30、シリコン酸化膜 32 を残すように、シリコン窒化膜 30 及びシリコン酸化膜 32 をパターンニングする。

【0008】続いて、シリコン酸化膜 32 及びシリコン窒化膜 30 をマスクとしてシリコン基板 10 を異方性エッチングし、素子分離膜を埋め込む溝 34 を形成する。この後、シリコン酸化膜 32 及びシリコン窒化膜 30 をマスクとしてイオン注入を行い、溝 34 の内壁に不純物層 24 を形成する (図 7 (a))。次いで、全面にシリコン酸化膜 36 を堆積し、溝 34 内にシリコン酸化膜 36 を埋め込む (図 7 (b))。

【0009】続いて、シリコン酸化膜 36 の表面を研磨し、溝 34 内に埋め込まれたシリコン酸化膜 36 よりなる素子分離膜 12 を形成する (図 7 (c))。続いて、通常の MOS トランジスタの製造方法により、活性領域 14 に MOS トランジスタを形成する (図 7 (d))。このようにして、シャロートレンチ法により形成した素子分離膜を有する半導体装置が製造されていた。

【0-0-1-0】

【発明が解決しようとする課題】しかしながら、上記従来の半導体装置では、図 6 (c) に示すように不純物層 24 は溝 34 の側壁全面に形成されているが、不純物層 24 はイオン注入によって形成するため不純物層 24 内には結晶欠陥が誘起されやすく、この結晶欠陥が原因でソース/ドレイン接合の周辺部でリーク電流が増加することがあった。

【0011】本発明の目的は、シャロートレンチ法によ

り形成した素子分離膜を有する半導体装置において、ソース/ドレイン接合の周辺部におけるリーク電流を抑える半導体装置及びその製造方法を提供することにある。

【0012】

【課題を解決するための手段】上記目的は、半導体基板と、前記半導体基板に埋め込んで形成された素子分離膜と、前記素子分離膜により画定された前記半導体基板の活性領域に形成された M I S トランジスタと、前記活性領域の周縁部に形成され、前記 M I S トランジスタのソース/ドレイン接合より浅く、前記 M I S トランジスタのチャネル領域と同一導電型であり、前記チャネル領域より高濃度の不純物層とを有することを特徴とする半導体装置によって達成される。このようにして半導体装置を構成することにより、シャロートレンチ法により形成した素子分離膜を有する半導体装置において、逆狭チャネル効果を抑え、且つ、ソース/ドレイン接合の周辺部におけるリーク電流を低減することができる。

【0013】また、上記目的は、半導体基板の主表面に、素子を形成するための活性領域を画定する溝を形成する溝形成工程と、前記半導体基板上に絶縁膜を堆積した後、その表面を研磨し、前記溝内に埋め込まれた素子分離膜を形成する素子分離膜形成工程と、前記活性領域に M I S トランジスタを形成する M I S トランジスタ形成工程とを有する半導体装置の製造方法において、前記溝形成工程の後、前記 M I S トランジスタ形成工程の前に、少なくとも前記 M I S トランジスタのソース/ドレイン接合が形成される領域の前記溝の側壁、及び前記活性領域上を覆った状態で不純物をドーブし、前記活性領域の周縁部に、前記ソース/ドレイン接合より浅く、前記 M I S トランジスタのチャネル領域と同一導電型であり、前記チャネル領域より高濃度の不純物層を形成する不純物層形成工程を更に有することを特徴とする半導体装置の製造方法によっても達成される。このようにして半導体装置を製造することにより、シャロートレンチ法により形成した素子分離膜を有する半導体装置において、逆狭チャネル効果を抑え、ソース/ドレイン接合の周辺部におけるリーク電流を低減することができる。

【0014】また、上記の半導体装置の製造方法において、前記溝形成工程では、前記半導体基板上に形成したマスク膜をマスクとして前記半導体基板をエッチングし、前記不純物層形成工程は、前記素子分離膜形成工程の後に行い、前記マスク膜及び前記素子分離膜をマスクとして前記不純物をドーブすることが望ましい。このようにして半導体装置を製造すれば、ソース/ドレイン接合より浅く、M I S トランジスタのチャネル領域と同一導電型であり、チャネル領域より高濃度の不純物層を形成することができる。

【0015】また、上記の半導体装置の製造方法において、前記不純物層形成工程の前に、前記素子分離膜の表面をエッチングして前記マスク膜の表面より後退させる

10

20

30

40

50

エッチング工程を更に有することが望ましい。このようにして半導体装置を製造すれば、活性領域の周縁部に容易に不純物層を形成することができる。また、上記の半導体装置の製造方法において、前記溝形成工程の後に、前記溝の側壁にサイドウォールを形成するサイドウォール形成工程を更に有し、前記溝形成工程では、前記半導体基板上に形成したマスク膜をマスクとして前記半導体基板をエッチングし、前記不純物層形成工程は、前記素子分離膜形成工程の前に行い、前記マスク膜及び前記サイドウォールをマスクとして前記不純物をドーブすることが望ましい。このようにして半導体装置を製造すれば、ソース/ドレイン接合より浅く、MISトランジスタのチャンネル領域と同一導電型であり、チャンネル領域より高濃度の不純物層を形成することができる。

【0016】また、上記の半導体装置の製造方法において、前記不純物層形成工程では、前記不純物の入射角度を所定の角度に設定し、前記半導体基板を回転しながら前記不純物をイオン注入することが望ましい。このようにして半導体装置を製造すれば、活性領域の周縁部に容易、且つ安定して不純物層を形成することができる。また、上記の半導体装置の製造方法において、前記不純物層形成工程では、前記不純物の入射角度を所定の角度に設定し、入射方向の異なる複数回の注入によって前記不純物をイオン注入することが望ましい。このようにして半導体装置を製造することによっても、活性領域の周縁部に容易、且つ安定して不純物層を形成することができる。

【0017】

【発明の実施の形態】本発明の第1実施形態による半導体装置及びその製造方法について図1乃至図3を用いて説明する。図1は本実施形態による半導体装置の構造を示す平面図及び概略断面図、図2及び図3は本実施形態による半導体装置の製造方法を示す工程断面図である。

【0018】始めに、本実施形態による半導体装置の構造を図1を用いて説明する。図1(a)は本実施形態による半導体装置の構造を示す平面図、図1(b)は(a)図のA-A'部の概略断面図、図1(c)は(a)図のB-B'部の概略断面図である。シリコン基板10上には、シャロートレンチ法により形成した素子分離膜12が形成されており、素子分離膜12によって活性領域14が画定されている。素子領域14上には、ゲート絶縁膜16を介してゲート電極18が形成されている。ゲート電極18の両側の素子領域14には、ソース拡散層20、ドレイン拡散層22が独立して形成されている。活性領域14周縁のシリコン基板10の表面には、逆狭チャネル効果を防止する不純物層24が形成されている。こうして、活性領域14にMOSトランジスタが形成されている。

【0019】ここで、本実施形態による半導体装置は、ソース/ドレイン領域における不純物層24が、ソース

拡散層20、ドレイン拡散層22内に分布していることに特徴がある。不純物層24をソース拡散層20、ドレイン拡散層22内に形成することにより不純物層24はソース/ドレイン接合部と接することがなくなるので、不純物層24を形成する際に結晶欠陥が誘起されてもこの結晶欠陥によるリーク電流の増加を防止することができる。こうして、逆狭チャネル効果を抑えつつ、リーク電流を低減することができる。

【0020】次に、本実施形態による半導体装置の製造方法を図2及び図3を用いて説明する。まず、シリコン基板10上に、膜厚約100nmのシリコン窒化膜30と、膜厚約100nmのシリコン酸化膜32とをCVD法により連続して成膜する。次いで、活性領域となる領域上にのみシリコン窒化膜30及びシリコン酸化膜32を残すように、シリコン窒化膜30及びシリコン酸化膜32をパターニングする(図2(a))。

【0021】続いて、シリコン酸化膜32及びシリコン窒化膜30をマスクとしてシリコン基板10を異方性エッチングし、深さ約400nmの溝34を形成する(図2(b))。その後、膜厚約600nmのシリコン酸化膜36をCVD法により堆積し、溝34内にシリコン酸化膜36を埋め込む(図2(c))。

【0022】次いで、シリコン窒化膜34をストッパーとして使い、CMP (Chemical Mechanical Polishing: 化学的機械的研磨) 法によりシリコン酸化膜32、36を研磨する。これにより、表面は平坦化され、溝34内にはシリコン酸化膜36よりなる素子分離膜12が埋め込まれた状態となる(図3(a))。続いて、例えばHF系水溶液を用いたウェットエッチングにより、素子分離膜12の表面を約50nmエッチングし、シリコン窒化膜30の表面より後退させる。

【0023】その後、イオン注入法により、活性領域14の角部26にのみ不純物を導入して不純物層24を形成する(図3(b))。シリコン窒化膜30をマスクとしてイオン注入を行うことにより、シリコン窒化膜30直下のシリコン基板10にはイオンは注入されないが、角部26近傍では素子分離膜12を予め所定の量だけ後退しておくので、シリコン窒化膜30を通過するに十分なエネルギーを有していないイオンを注入した場合であっても、角部26近傍の素子分離膜12を通過して角部26にイオン注入することができる。

【0024】イオン注入の際、イオンの入射角度を任意の角度に設定し、シリコン基板10を回転しながらイオン注入し、又は入射方向を変えて複数回に分けてイオン注入すれば、素子分離膜12を通過したイオンを容易に且つ均一に角部26に注入することができる。N型トランジスタの領域であれば、例えばB (硼素) イオンを、入射角7°、加速エネルギー15keV、注入量 $8 \times 10^{11} \text{ cm}^{-2}$ として注入し、P型トランジスタの領域であれば、例えばP (燐) イオンを、入射角7°、加速エネ

ルギー 40 keV、注入量 $8 \times 10^{11} \text{ cm}^{-2}$ として注入すれば、角部にのみ不純物層 24 を形成することができる。

【0025】なお、イオン注入の前に素子分離膜 12 を後退させる膜厚は、注入するイオン、加速エネルギー、イオンの入射角度等に応じて適宜設定することが望ましい。また、活性領域 14 中央部の基板濃度を実質的に変化するほどのイオンがシリコン窒化膜 30 を通過しないように、イオンの平均投影飛程がシリコン窒化膜 30 内に位置するように加速エネルギーを調整することが望ましい。

【0026】次いで、例えば磷酸水溶液を用いたウェットエッチングによりシリコン窒化膜 30 を除去し、活性領域 14 の表面を露出する。活性領域 14 の周縁部には、その表面側にのみ不純物層 24 が形成されている（図 3 (c)）。続いて、通常の MOS トランジスタの製造工程と同様にして、活性領域 14 に MOS トランジスタを形成する（図 3 (d)）。この際、ソース拡散層 20 及びドレイン拡散層 22 が不純物層 24 よりも深くなるように、不純物層 24、ソース拡散層 20、及びドレイン拡散層 22 のイオン注入条件を調整する。

【0027】このようにして不純物層 24 を形成することにより、チャネル領域では逆狭チャネル効果を防止することができ、また、ソース／ドレイン接合部では不純物層 24 に起因する接合リーク電流を低減することができる。このように、本実施形態によれば、逆狭チャネル効果を防止する不純物層 24 を、ソース拡散層 20、ドレイン拡散層 22 よりも浅くなるように形成するので、不純物層 24 を形成する際に結晶欠陥が誘起されてもこの欠陥が接合リーク電流に寄与しないので、従来法と比較して接合リーク電流を低減することができる。

【0028】次に、本発明の第 2 実施形態による半導体装置の製造方法について図 4 及び図 5 を用いて説明する。第 1 実施形態による半導体装置の製造方法と同一の構成要素には同一の符号を付して説明を省略又は簡略にする。図 4 及び図 5 は本実施形態による半導体装置の製造方法を示す工程断面図である。

【0029】第 1 実施形態では、逆狭チャネル効果を防止する不純物層 24 を、ソース拡散層 20、ドレイン拡散層 22 よりも浅く形成することにより、ソース／ドレイン接合部のリーク電流を低減した。第 1 実施形態によるこのような効果を得るためには、図 1 に示す構造を有する半導体装置を形成することが重要なポイントとなるが、この構造を得るための製造方法は第 1 実施形態による半導体装置の製造方法には限られない。

【0030】本実施形態では、第 1 実施形態による半導体装置と等価な構造を実現する半導体装置の製造方法を示す。まず、第 1 実施形態による半導体装置の製造方法と同様にして、シリコン基板 10 上に形成したシリコン窒化膜 30 とシリコン酸化膜 32 をマスクとしてシリコ

ン基板 10 を異方性エッチングし、深さ約 400 nm の溝 34 を形成する（図 4 (a)）。

【0031】次いで、膜厚約 80 nm のシリコン酸化膜 38 を CVD 法により堆積する（図 4 (b)）。続いて、シリコン酸化膜 38 をエッチバックし、溝 34 の内壁にサイドウォール 40 を形成する。このとき、角部 26 を覆うサイドウォール 40 の厚さが、シリコン窒化膜 30、シリコン酸化膜 32 よりも薄くなるようにエッチバックする。

【0032】この後、イオン注入法により、活性領域 14 の角部 26 にのみ不純物を導入して不純物層 24 を形成する（図 3 (b)）。シリコン窒化膜 30 及びサイドウォール 40 をマスクとしてイオン注入を行うことにより、シリコン窒化膜 30 直下のシリコン基板 10 にはイオンは注入されないが、角部 26 近傍のサイドウォール 40 は、シリコン窒化膜 30、シリコン酸化膜 32 よりも薄くなるように形成されているので、シリコン酸化膜 32、シリコン窒化膜 30 を通過するに十分なエネルギーを有していないイオンを注入した場合であっても、角部 26 近傍のサイドウォール 40 を通過して角部 26 にイオン注入することができる。

【0033】イオン注入の際、イオンの入射角度を任意の角度に設定し、シリコン基板 10 を回転しながらイオン注入し、又は入射方向を変えて複数回に分けてイオン注入すれば、サイドウォール 40 を通過したイオンを容易に且つ均一に角部 26 に注入することができる。N 型トランジスタの領域であれば、例えば B イオンを、入射角 7° 、加速エネルギー 15 keV、注入量 $8 \times 10^{11} \text{ cm}^{-2}$ として注入し、P 型トランジスタの領域であれば、例えば P イオンを、入射角 7° 、加速エネルギー 40 keV、注入量 $8 \times 10^{11} \text{ cm}^{-2}$ として注入すれば、角部にのみ不純物層 24 を形成することができる。

【0034】次いで、膜厚約 600 nm のシリコン酸化膜 36 を CVD 法により堆積し、溝 34 内にシリコン酸化膜 36 を埋め込む（図 4 (d)）。続いて、シリコン窒化膜 34 をストッパーとして用い、CMP 法によりシリコン酸化膜 32、36 を研磨する。これにより、表面は平坦化され、溝 34 内にはシリコン酸化膜 36 及びサイドウォール 40 よりなる素子分離膜 12 が埋め込まれた状態となる（図 5 (a)）。

【0035】この後、例えば磷酸水溶液を用いたウェットエッチングによりシリコン窒化膜 34 を除去し、活性領域 14 の表面を露出する。活性領域 14 の周縁部には、その表面側にのみ不純物層 24 が形成されている

（図 5 (b)）。次いで、通常の MOS トランジスタの製造工程と同様にして、活性領域 14 に MOS トランジスタを形成する（図 5 (c)）。この際、ソース拡散層 20 及びドレイン拡散層 22 が不純物層 24 よりも深くなるように、不純物層 24、ソース拡散層 20、及びドレイン拡散層 22 のイオン注入条件を調整する。

【0036】このようにして不純物層24を形成することにより、チャネル領域では逆狭チャネル効果を防止することができ、また、ソース/ドレイン接合部では不純物層24に起因する接合リーク電流を低減することができる。このように、本実施形態によれば、溝34内に形成したサイドウォール40を通して角部26にのみ逆狭チャネル効果を防止する不純物層24を形成するので、不純物層24を形成する際に結晶欠陥が誘起されてもこの欠陥が接合リーク電流に寄与せず、従来法と比較して接合リーク電流を低減することができる。

【0037】本発明は、上記実施形態に限らず種々の変形が可能である。すなわち、本発明は、活性領域14の角部26にのみ逆狭チャネル効果を防止する不純物層24を形成することを主たる目的としており、かかる構造を実現しうるものであれば、如何なる製造方法であってもよい。また、上記実施形態では、シリコン基板10上にMOSトランジスタを形成する場合を例に説明したが、本発明によって解決しうる課題は、種々の半導体基板上に形成したMISトランジスタに共通するものであり、上記実施形態に限定されるものではない。

【0038】

【発明の効果】以上の通り、本発明によれば、半導体基板と、半導体基板上に埋め込んで形成された素子分離膜と、素子分離膜により画定された半導体基板の活性領域に形成されたMISトランジスタと、活性領域の周縁部に形成され、MISトランジスタのソース/ドレイン接合より浅く、MISトランジスタのチャネル領域と同一導電型であり、チャネル領域より高濃度の不純物層とにより半導体装置を構成するので、シャロートレンチ法により形成した素子分離膜を有する半導体装置において、逆狭チャネル効果を抑え、且つ、ソース/ドレイン接合の周辺部におけるリーク電流を低減することができる。

【0039】また、上記目的は、半導体基板の主表面に、素子を形成するための活性領域を画定する溝を形成する溝形成工程と、半導体基板上に絶縁膜を堆積した後、その表面を研磨し、溝内に埋め込まれた素子分離膜を形成する素子分離膜形成工程と、活性領域にMISトランジスタを形成するMISトランジスタ形成工程とを有する半導体装置の製造方法において、溝形成工程の後、MISトランジスタ形成工程の前に、少なくともMISトランジスタのソース/ドレイン接合が形成される領域の溝の側壁、及び活性領域上を覆った状態で不純物をドーブし、活性領域の周縁部に、ソース/ドレイン接合より浅く、MISトランジスタのチャネル領域と同一導電型であり、チャネル領域より高濃度の不純物層を形成する不純物層形成工程を行うので、シャロートレンチ法により形成した素子分離膜を有する半導体装置において、逆狭チャネル効果を抑え、ソース/ドレイン接合の周辺部におけるリーク電流を低減することができる。

【0040】また、溝形成工程では半導体基板上に形成

したマスク膜をマスクとして半導体基板をエッチングし、不純物層形成工程を素子分離膜形成工程の後に行い、マスク膜及び素子分離膜をマスクとして不純物をドーブすれば、ソース/ドレイン接合より浅く、MISトランジスタのチャネル領域と同一導電型であり、チャネル領域より高濃度の不純物層を形成することができる。

【0041】また、上記の半導体装置の製造方法において、不純物層形成工程の前に、素子分離膜の表面をエッチングしてマスク膜の表面より後退させるエッチング工程を行えば、活性領域の周縁部に不純物層を容易に形成することができる。また、溝形成工程の後、溝の側壁にサイドウォールを形成するサイドウォール形成工程を行い、溝形成工程では半導体基板上に形成したマスク膜をマスクとして半導体基板をエッチングし、不純物層形成工程を素子分離膜形成工程の前に行い、マスク膜及びサイドウォールをマスクとして不純物をドーブすることによっても、ソース/ドレイン接合より浅く、MISトランジスタのチャネル領域と同一導電型であり、チャネル領域より高濃度の不純物層を形成することができる。

【0042】また、不純物層形成工程において、不純物の入射角度を所定の角度に設定し、半導体基板を回転しながら不純物をイオン注入すれば、活性領域の周縁部に容易、且つ安定して不純物層を形成することができる。また、不純物層形成工程において、不純物の入射角度を所定の角度に設定し、入射方向の異なる複数回の注入によって不純物をイオン注入すれば、活性領域の周縁部に容易、且つ安定して不純物層を形成することができる。

【図面の簡単な説明】

【図1】本発明の第1実施形態による半導体装置の構造を示す平面図及び概略断面図である。

【図2】本発明の第1実施形態による半導体装置の製造方法を示す工程断面図（その1）である。

【図3】本発明の第1実施形態による半導体装置の製造方法を示す工程断面図（その2）である。

【図4】本発明の第2実施形態による半導体装置の製造方法を示す工程断面図（その1）である。

【図5】本発明の第2実施形態による半導体装置の製造方法を示す工程断面図（その2）である。

【図6】従来の半導体装置の構造を示す平面図及び概略断面図である。

【図7】従来の半導体装置の製造方法を示す工程断面図である。

【符号の説明】

10…シリコン基板

12…素子分離膜

14…活性領域

16…ゲート絶縁膜

18…ゲート電極

20…ソース拡散層

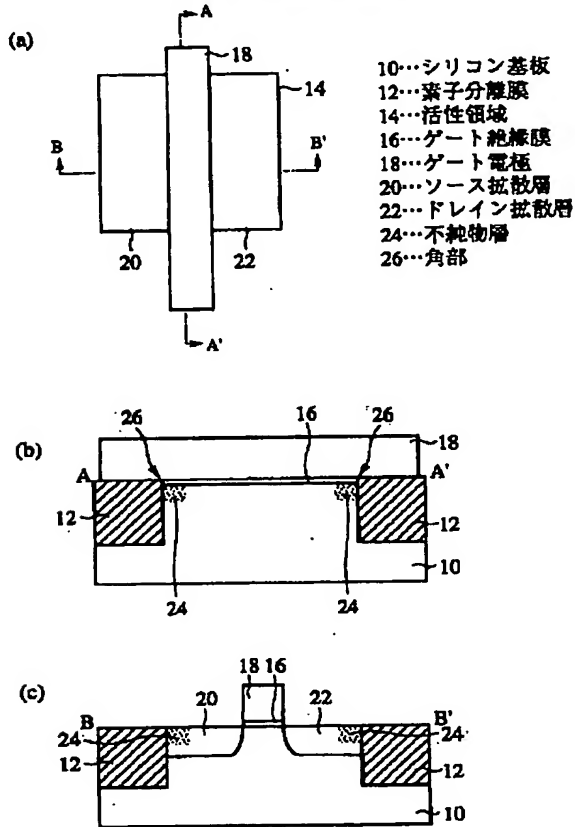
22…ドレイン拡散層

24...不純物層
26...角部
28...チャネル中央部
30...シリコン窒化膜
32...シリコン酸化膜

34...溝
36...シリコン酸化膜
38...シリコン酸化膜
40...サイドウォール

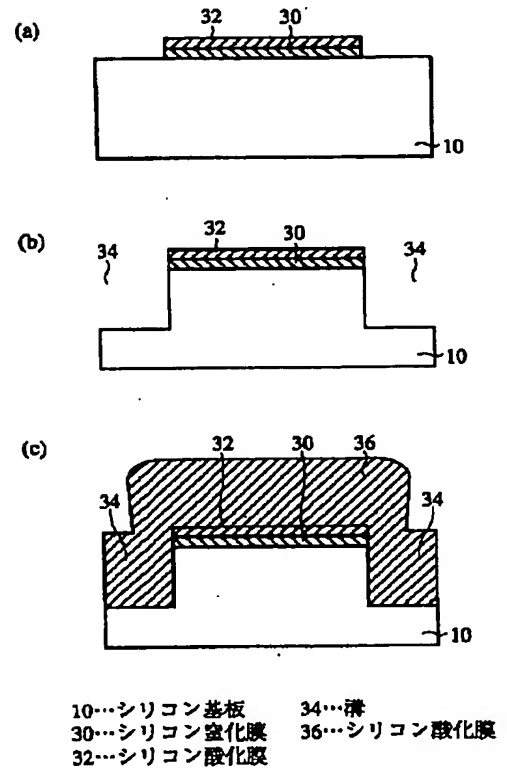
【図 1】

本発明の第1実施形態による半導体装置の構造を示す
平面図及び概略断面図



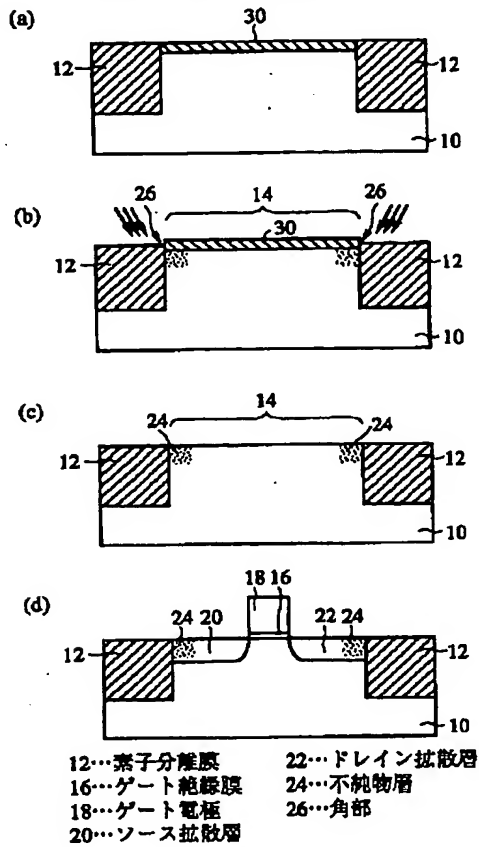
【図 2】

本発明の第1実施形態による半導体装置の
製造方法を示す工程断面図(その1)



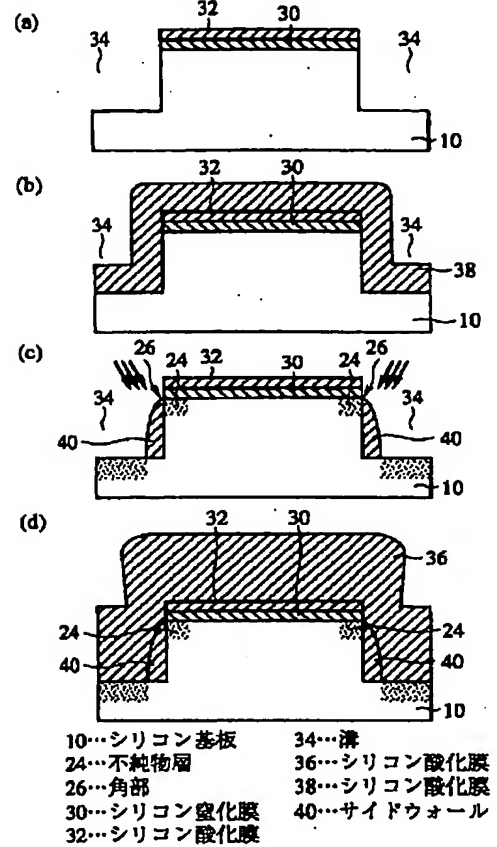
【図 3】

本発明の第1実施形態による半導体装置の
製造方法を示す工程断面図(その2)



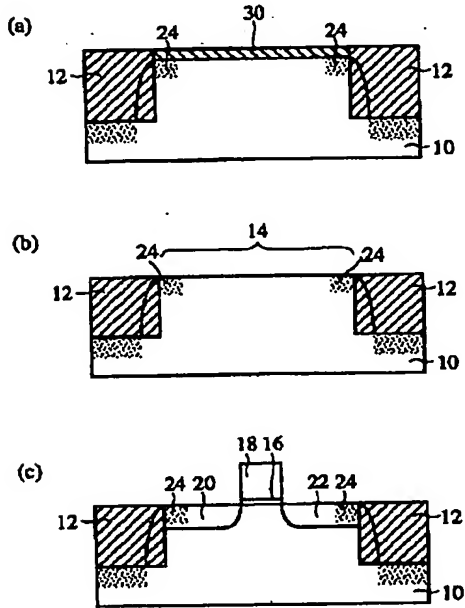
【図 4】

本発明の第2実施形態による半導体装置の
製造方法を示す工程断面図(その1)



【図 5】

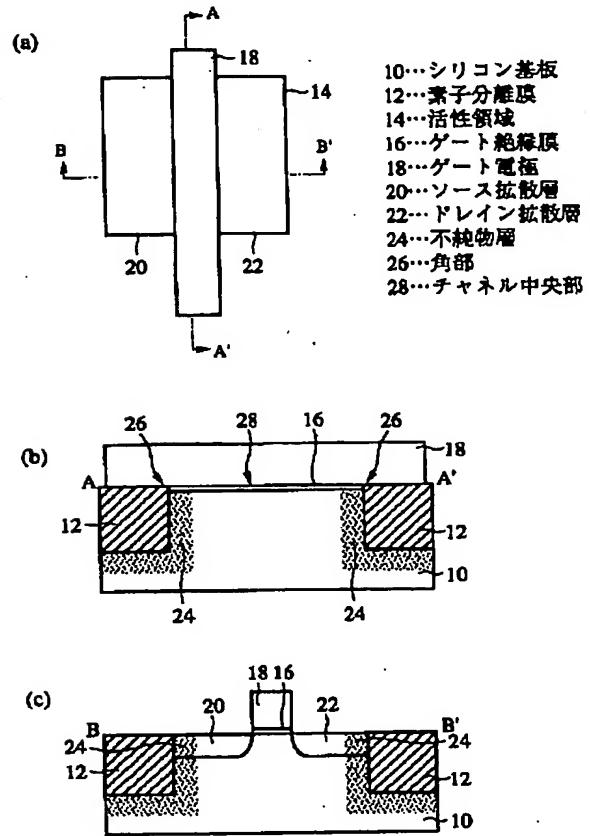
本発明の第2実施形態による半導体装置の
製造方法を示す工程断面図(その2)



12…素子分離膜
16…ゲート絶縁膜
18…ゲート電極
20…ソース拡散層
22…ドレイン拡散層

【図 6】

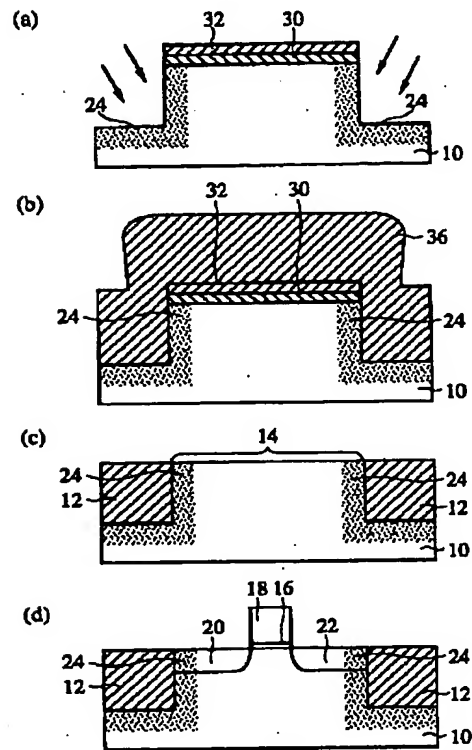
従来の半導体装置の構造を示す平面図及び概略断面図



10…シリコン基板
12…素子分離膜
14…活性領域
16…ゲート絶縁膜
18…ゲート電極
20…ソース拡散層
22…ドレイン拡散層
24…不純物層
26…角部
28…チャネル中央部

【図 7】

従来の半導体の製造方法を示す工程断面図



10…シリコン基板	18…ゲート電極	30…シリコン窒化膜
12…素子分離膜	20…ソース拡散層	32…シリコン酸化膜
14…活性領域	22…ドレイン拡散層	34…溝
16…ゲート絶縁膜	24…不純物層	36…シリコン酸化膜